

# デジタル計算機トレーナーについて

井 上 浩  
十 河 英 之  
買 場 英 雄

## Design of Digital Computer Trainer

Hiroshi INOUE

Hideyuki SOGO

Hideo KAIBA

For the purpose of training of digital computer, this trainer was made with 200 transistors, and 500 diodes etc. Neon lamps are used for the indication of solution, and representation of each register. Instructions are, only ADD, SUB, LOAD, STORE, READ, MULT, and number of registers are 12. In the capacity of program stored system, in this trainer, 12 instructions are stored, and successively operated 12 times.

### 1. 緒 言

この computer trainer は初歩的なプログラミングの練習が出来ることと, computer の動作原理を step 毎に停めて観測し理解できるなどの利点があるので試作してみた結果を報告する。命令は数少く, 又記憶には FF を使用するので 3 word しかなく且つ 2 進 5 bit を 1 word としてある。固定記憶も 5 word しか取ってないが原理を理解するに充分であると思う。おおよそトランジスタ 250 本, ダイオード 400 本を要した。大体 12 step までプログラムを手で行って記憶させ 12 step は一度に計算するようにした。

### 2. 取 扱 い 方 法

computer の原理そのものはよく記述されているので本装置の特色のみを述べてみる。

図-1 中の白丸は外部に出る端子であってこの端子へ wiring するものとする。例えばプログラム例として

「2 A-B を計算して答を Memory register 1 に残せ」

#### 順序

1. 手で A を Fixed Memory 1 に入れる。
2. 手で B を Fixed Memory 2 に入れる。
3. SCC 1 の address と Fixed Memory 1 address とを SCC 1 の order と order の Load を wiring する。
4. SCC 2 の Address と Fixed Memory 1 Address とを SCC 2 の order と order の Add を wiring する。
5. SCC 3 の Address と Fixed Memory 2 Address とを SCC 3 の order と order の Sub とを wiring する。
6. SCC 4 の Address と Memory register 1 の Address とを SCC 4 の order と order の Store を wiring する。
7. Stop と SCC stop の 4 とを wiring する。
8. start ボタンを押す。

記号で表わすと

- 3 A → ACC
- 4 A + A → ACC
- 5 A + A - B → ACC
- 6 ACC → MR 1

7 SCC 4終了と  
ともにstop  
のようにして求めるもの  
とする。命令は次の6つと  
する。

1. Read
2. Store
3. Load
4. Add
5. Sub
6. Mult

### 3. 制御パルス、シフトパ ルスの発生回路

図-2に示すような回路  
を用いているが個々の配線  
は後に示す。ただ信号は5  
bitの次数であるがover

flowなどの表示のためには1bitよけにい  
るので5shift pulseと0shift pulseと  
名付ける6pulseを作り出している。又基  
本発振においては10KHzと1Hzおよび手  
で行うこともできるようにしている。

命令shift pulse は図-3のように表示  
しておくがこれもあとの説明に利用する。  
詳細は卒論参照のこと。

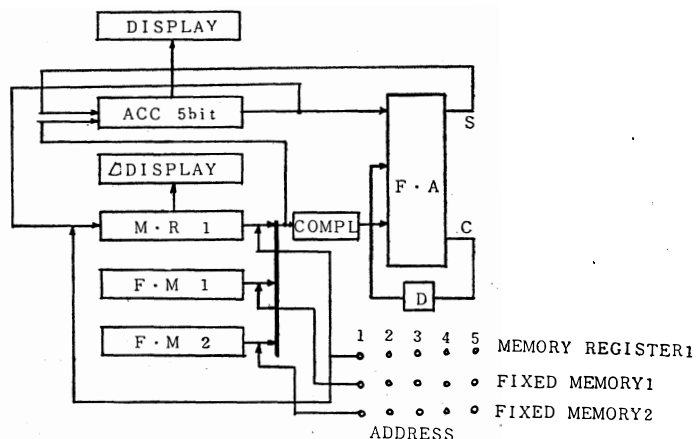
### 4. 使用配線図

#### 4. 1 多出力回路

附録A図5進級変換ダイオードマトリク  
スを用いて0サイクル、1サイクル...5サ  
イクルのパルスを作り出す。同様図BはF  
F4ケを用いて2進数を12進に変換するマ  
トリクスである。

#### 4. 2 シフトパルス、制御パルス

1-2-3-4-5シフトパルス及び0  
シフトパルス発生回路を示す。



	1	2	3	4	5	
ADD	○	○	○	○	○	
SUB	○	○	○	○	○	ORDER
LOAD	○	○	○	○	○	
STORE	○	○	○	○	○	

	1	2	3	4	5	6	7	8	9	10	11	12	
SCC	○	○	○	○	○	○	○	○	○	○	○	○	ADDRESS
ORDER	○	○	○	○	○	○	○	○	○	○	○	○	ORDER
STOP	○	○	○	○	○	○	○	○	○	○	○	○	SCC STOP

図-1 Computer Trainer全体のBlock Diagram

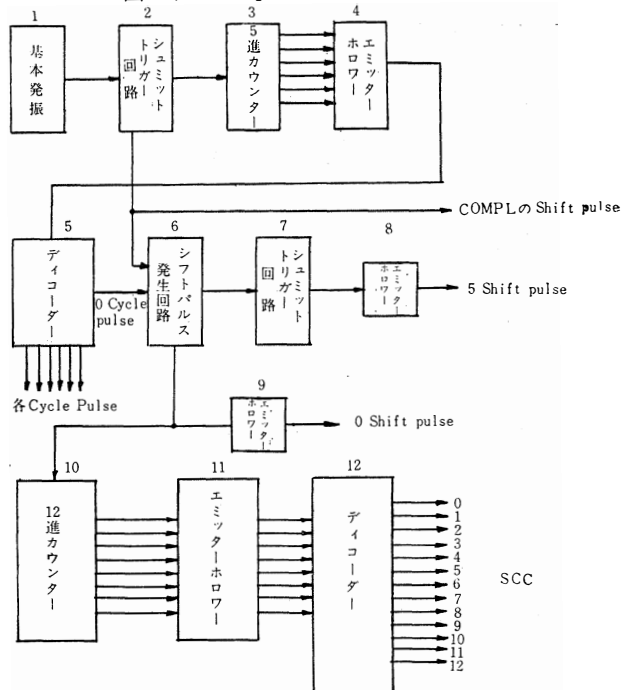
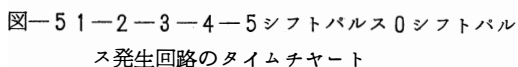
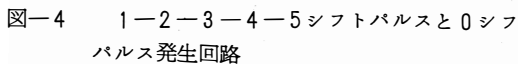
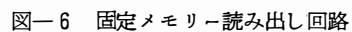


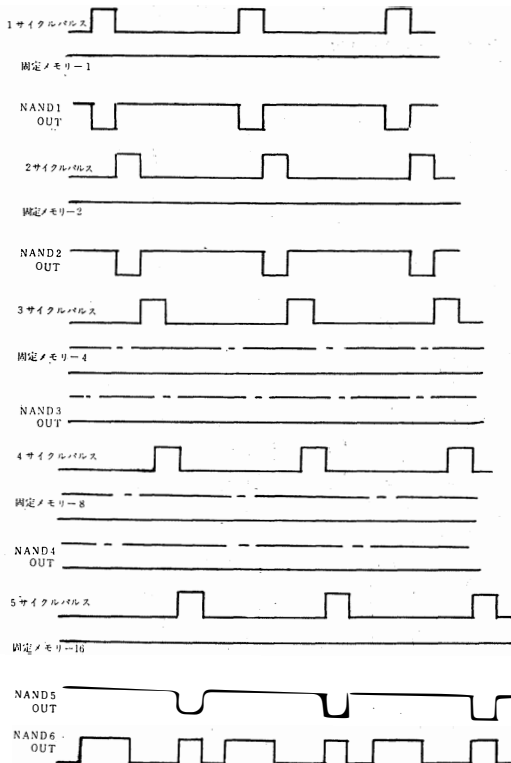
図-2 Control Gate pulse, shift pulse 発生器の Block Diagram



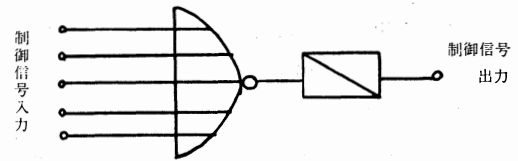
固定メモリーは5 bitのメモリーで5ケの switchの on offにより記憶させるものでこれを読出すには



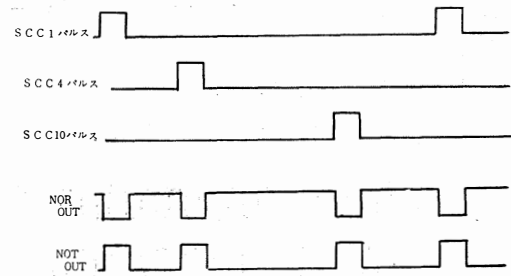
付録図Dはこのためのパッケージで図8に制御信号  
読出し回路を示す。SCCの1と4と10に制御信号が  
入ったときのtime chartを図-9に示す。



図一七 固定メモリー読み出し回路のタイムチャート（但し固定メモリーを10011とする）



図一八 制御信号読み出し回路

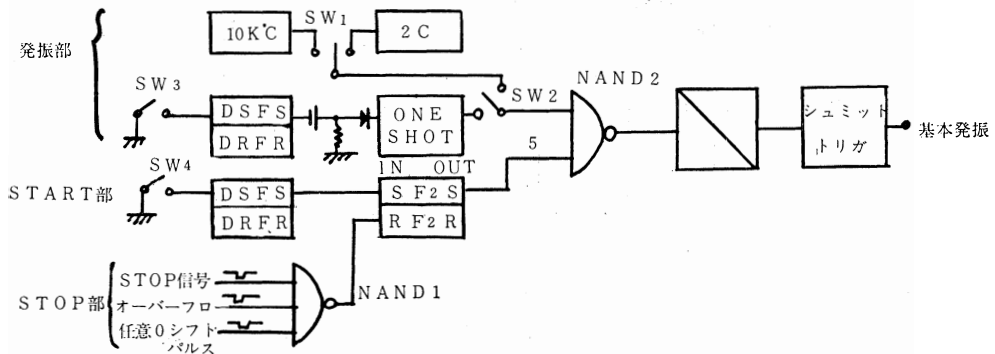


図一九 SCCの1と4と10に制御信号が入ったときのタイムチャート

#### 4. 5 クロックパルス発生回路

付録図Eはクロックパルス発生回路で記号で表わすと図-10のようになる。

この time chart を図-11に示す。



10—図 クロックパルス発生回路図

#### 4. 6 シフトレジスター

付録図Fはシフトレジスターを示す。

#### 4. 7 5進カウンタ, 12進カウンタ

5進カウンタは付録図Gに示す。けた数が5 bit であるので5進とする必要があり, FF 3 個を組合せて6 けた目のパルスに対して全FF を reset するようにしている。

12進カウンタはFF 4 個を用いて13になったとき

全部 reset されるものでSCCに使用するもので付録図Hに示す。

#### 4. 8 ネオン管ドライブ回路

答を表示したり SCC の動作を監視したりするため 90V で動作するトランジスターを用いてネオン管を点滅するもので, そのパッケージは付録図Iに示す。

1 々は図-12に示す。

#### 4. 9 全加算器

NANDを用いた全加算器で付録図Jに示す。図-13に記号で表現している。

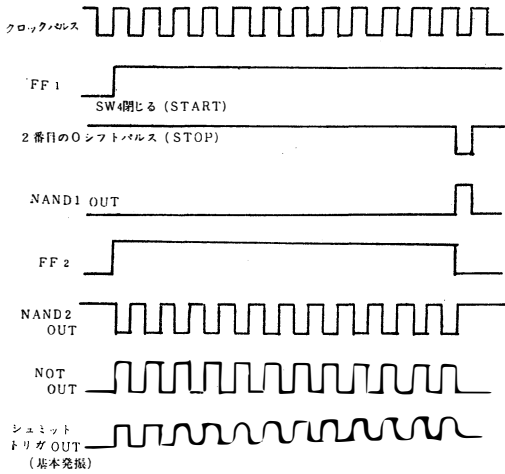


図-11 パロックパルス発生回路のタイムチャート

(但し10K C発振でS C Bの2番目の0)  
(サイクルパルスでstopするものとする)

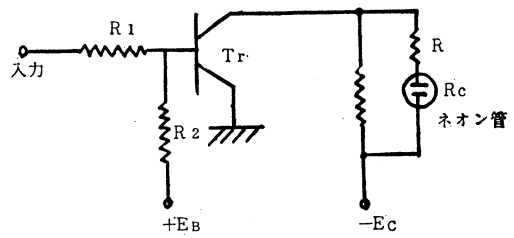


図-12 ネオン球ドライブ回路

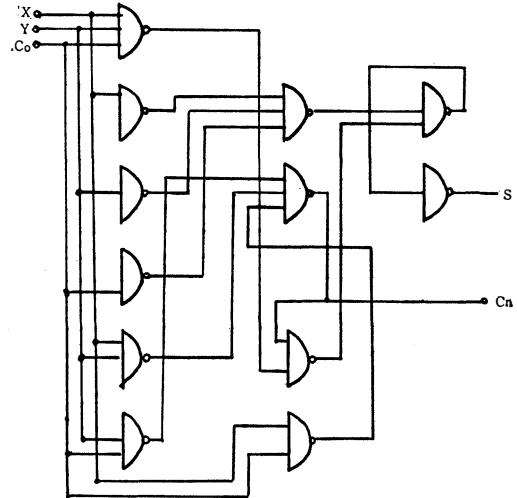


図-13 NANDによる全加算器

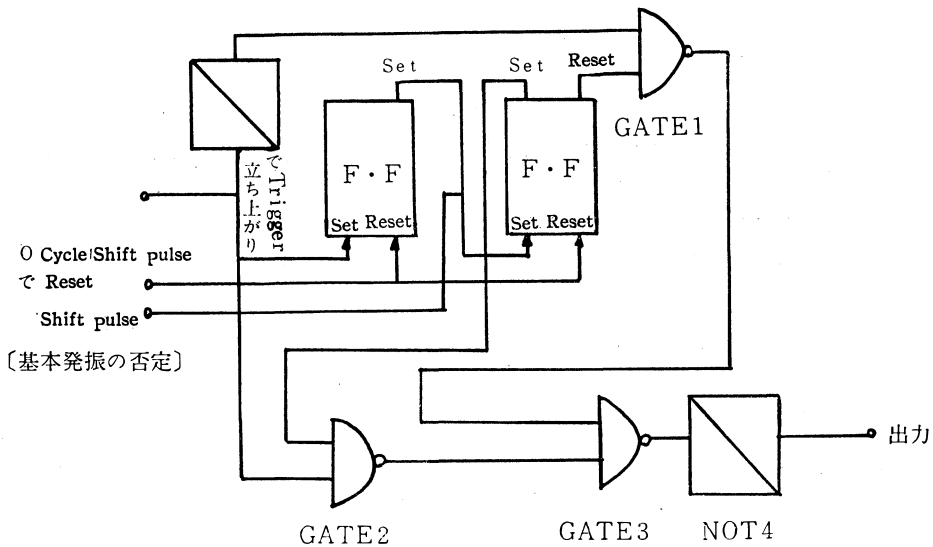


図-14

#### 4. 10 補数器

2に対する補数を取ることとし、付録図Kにそのパッケージを表わしこれを記号で表わすと図-14となる。time chartは図-15

#### 4. 11 その他

エミッター、フオロア、付録図L

クロックパルススタート用、FF、付録図M 1 bit

Delay 付録図N

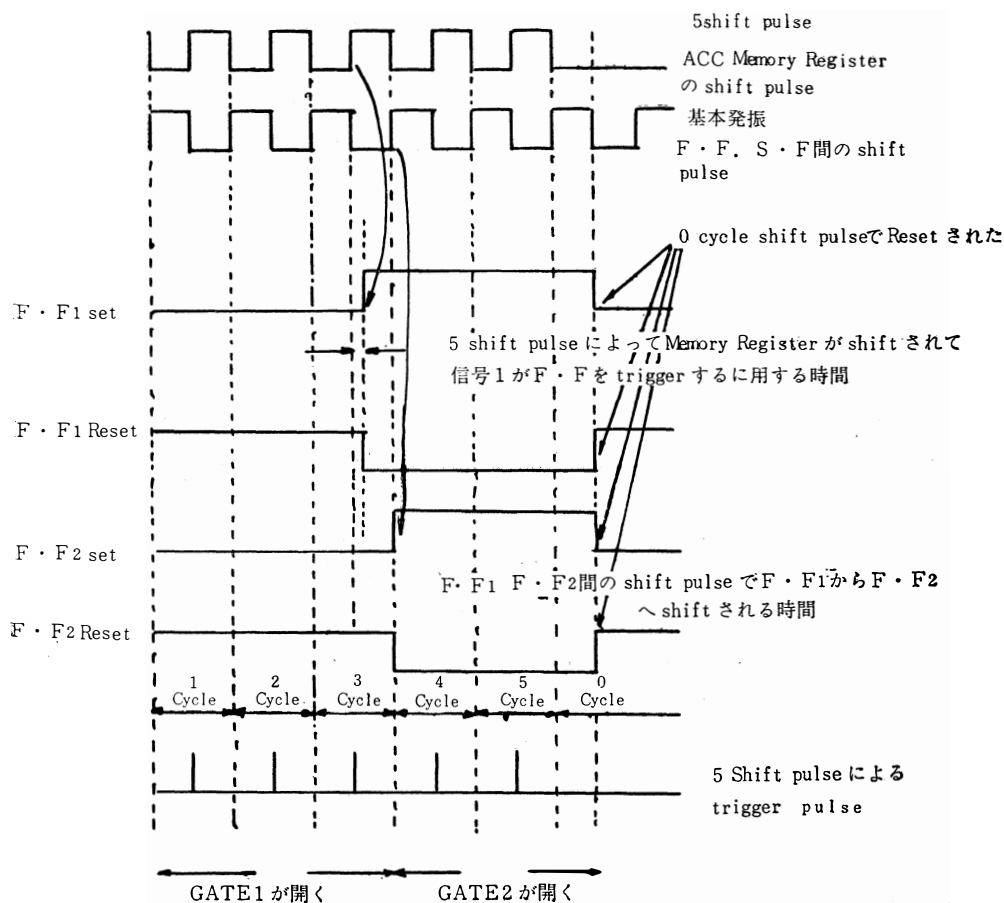


図-15

order shift pulse回路、付録図  
などが必要となる。

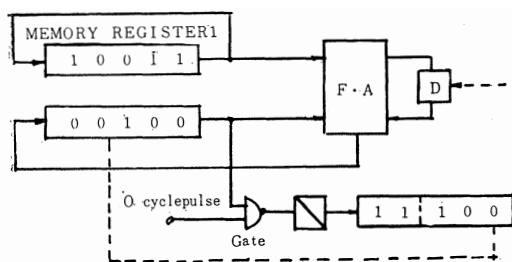


図-16

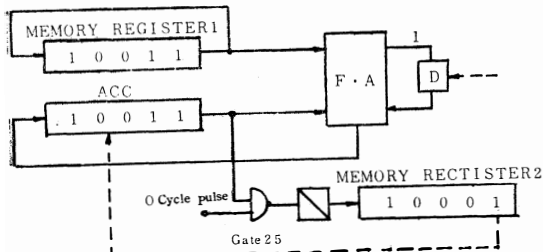


図-17

## 5. MULTについて

Add, Store, Load, Subについては説明を要し  
ないと思うのでMultについて説明しておく。

図の点線はMR 2のLSDが1のときshift pulse  
6個(1-2-3-4-5, 0 0サイクル中に各々1ケ)  
出る。しかしMR 2のLSDが0のときshift pulseは  
0サイクル中に1ケだけで1-2-3-4-5サイクル中  
にはshift pulseは出ないようにしてある。図-16の場合  
MR 2のLSDは1であるので6ケのshift pulseを  
ACCにおくる。又MR 1には1-2-3-4-5サイ  
クル中に1ケずつshift pulseをおくりMR 2には0サイ  
クル中1ケのshift pulseをおくる。初めの1-2-3-  
4-5サイクルでACCとMR 1が加算されてACCの  
最左側から入ってくる。しかし0サイクルでACCと  
MR 2にshift pulseが入るとNAND Gate25を通っ

てACCの最右側の信号がMR 2の最も左側に入る。  
5サイクルの時の信号は図17となる。

5サイクルの時MR 1とACCのLSDは1であるからFDの桁上げ信号は1となる。ここで0サイクルshift pulseをおくれば図-18となる。

次に1サイクルshift pulseをおくればMR 1のLSDの1とACCのLSDの1と、1 bit delayの1との和となりこの回路では正しい答は出さなくなる。ここで1サイクルshift pulseを送る前に1 bit delay回路をresetすればMRのLSDとACCのLSDの和となり正しい動作をする。1 bit delayをresetするためのpulseは1サイクルパルスの立上りで

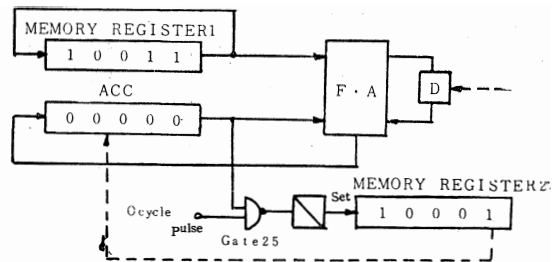


図-18

1 bit delayをresetすればよい。以上を time chart 表示すると図-19となる。

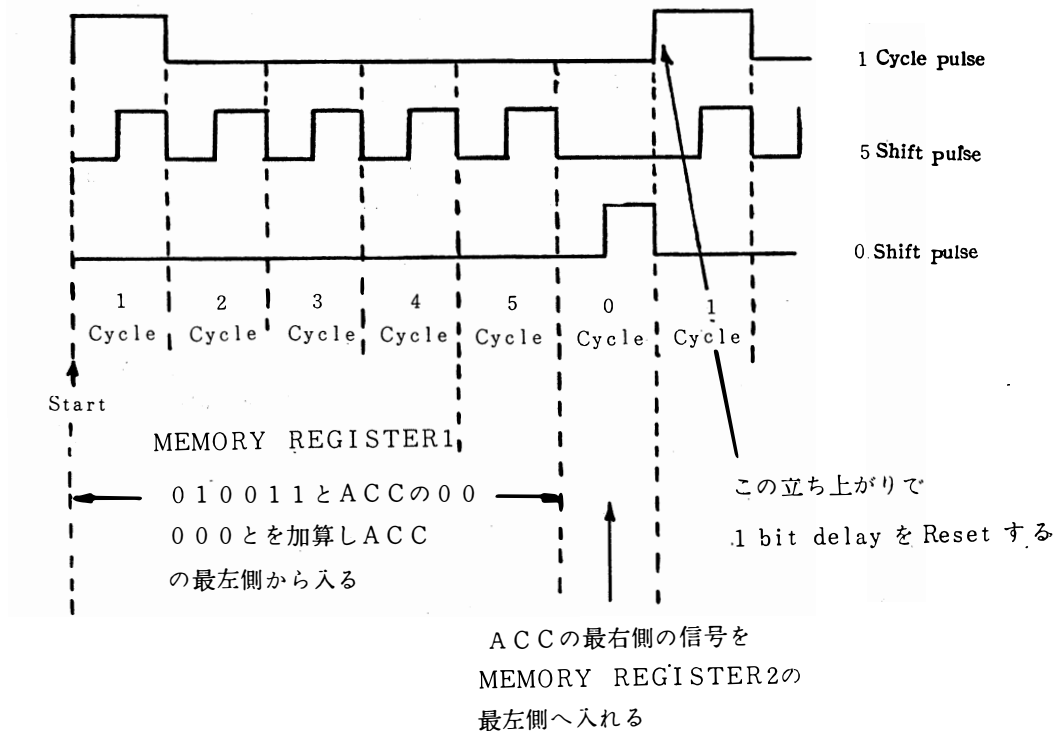


図-19

次にMR 2のLSDが0であるからACCには1—

2—3—4—5サイクル中にはshift pulseはない。した

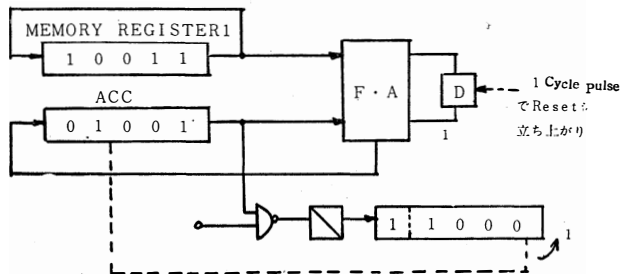


図-20

がってACCの内容はshift しない。しかし0サイクル中は0 shift pulseがACCとMR 2に入るので0 shift pulseでACCのLSDの信号がMR 2のMSDに入って図-20となる。

次に1サイクル pulse の立上りで1 bit delayをresetする。そこでMR 2のLSDが0であるから同様動作する。

以上の動作が5回終了すれば答がACCとMR2の両registerに入ることになる。5回の動作でstopするようにするには0 shift pulseを5進counterでcountしてstop信号を出してSCCを1つ進めるようにすればよい。附録, 図13枚は都合により次号に掲載する。

## 6. 結 論

以上の原理で命令の数は少ないがcomputer trainerとして一応の目的に沿う回路ができ上がった。更に記憶容量を大きくする様に計画を進めていることを付記しておく。

(昭和43.10.31受付)